

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Byung-se SO, et al. Art Unit: TBD
Appl. No.: NEW Examiner: TBD
Filed: 26 November 2003 Atty. Docket: SEC.1092
For: **Multi-Chip Package for Reducing Parasitic Load of Pin**

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Korean application:

Appln. No. 2002-0075805 filed December 2, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.



By:

Kenneth D. Springer
Registration No. 39,843

VOLENTINE FRANCOS, P.L.L.C.
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870

Date: 26 November 2003



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0075805
Application Number

출 원 년 월 일 : 2002년 12월 02일
Date of Application

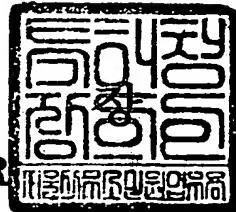
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 02 일

특 허 청

COMMISSIONER



【서지사항】	
【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2002.12.02
【국제특허분류】	H01L
【발명의 명칭】	핀의 기생 부하를 최소화시키는 멀티 칩 패키지
【발명의 영문명칭】	Multi chip package for reducing the parasitic load of pin
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	소병세
【성명의 영문표기】	SO, Byung Se
【주민등록번호】	620917-1052711
【우편번호】	463-070
【주소】	경기도 성남시 분당구 야탑동 330 코오롱 아파트 130-701
【국적】	KR
【발명자】	
【성명의 국문표기】	이동호
【성명의 영문표기】	LEE, Dong Ho
【주민등록번호】	610521-1055439
【우편번호】	463-510

【주소】	경기도 성남시 분당구 미금동(까치마을)신원아파트 313-1502		
【국적】	KR		
【발명자】			
【성명의 국문표기】	장현순		
【성명의 영문표기】	JANG,Hyun Soon		
【주민등록번호】	630731-1489216		
【우편번호】	137-069		
【주소】	서울특별시 서초구 방배본동 궁전아파트 C동 403호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	15	면	15,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	19	항	717,000 원
【합계】	761,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

핀의 기생 부하를 최소화시키는 멀티 칩 패키지가 개시된다. 본 발명에 따른 멀티 칩 패키지는, 입출력 패드, 상기 입출력 패드와 연결되는 입출력 드라이버 및 내부 회로를 구비하는 제 1 내지 제 N 반도체 칩을 구비한다. 상기 제 1 내지 제 N 반도체 칩은 각각 내부의 입출력 드라이버와 상기 내부 회로를 연결하는 내부 패드를 구비하며, 상기 제 1 내지 제 N 반도체 칩의 상기 내부 패드들은 서로 연결되어 있고, 상기 제 1 반도체 칩의 입출력 패드는 상기 멀티 칩 패키지의 대응되는 편을 통하여 인가되는 입출력 신호를 수신하며, 상기 제 2 내지 제 N 반도체 칩은 상기 서로 연결된 내부 패드들을 통하여 상기 입출력 신호를 수신한다. 상기 내부 패드들은 서브스트레이트에 장착된 공유 패드를 통하여 서로 연결된다.

본 발명에 따른 멀티 칩 패키지는 고속 전송이 필요한 신호가 인가되는 편의 경우, 단일 칩과 동일한 편 기생 부하를 유지하도록 하여 신호 정합성을 개선시키는 장점이 있다. 또한 고속 전송이 필요하지 않은 신호가 인가되는 편의 경우, 기존과 동일한 방식으로 패키지 할 수도 있는 장점이 있다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

핀의 기생 부하를 최소화시키는 멀티 칩 패키지{Multi chip package for reducing the parasitic load of pin}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 하나의 메모리를 구비하는 N 개의 메모리 모듈이 연결된 메모리 버스를 나타내는 도면이다.

도 2는 메모리 슬롯의 수가 2개로 제한된 메모리 버스를 나타내는 도면이다.

도 3은 도 2의 메모리 버스의 동작 시의 신호 정합성을 설명하는 도면이다.

도 4는 도 2의 메모리 모듈보다 메모리 칩의 수를 줄인 경우의 메모리 버스를 나타내는 도면이다.

도 5는 도 4의 메모리 버스의 동작 시의 신호 정합성을 설명하는 도면이다.

도 6은 본 발명의 제 1 실시예에 따른 멀티 칩 패키지를 나타내는 도면이다.

도 7은 도 6의 멀티 칩 패키지 내부의 반도체 칩들의 연결 방식의 하나의 예를 나타내는 도면이다.

도 8은 도 6의 멀티 칩 패키지 내부의 반도체 칩들의 연결 방식의 다른 하나의 예를 나타내는 도면이다.

도 9는 본 발명의 제 2 실시예에 따른 멀티 칩 패키지를 나타내는 도면이다.

도 10은 본 발명의 제 3 실시예에 따른 멀티 칩 패키지를 나타내는 도면이다.

도 11은 본 발명의 제 4 실시예에 따른 멀티 칩 패키지를 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 멀티 칩 패키지에 관한 것으로서, 특히 패키지 핀에 연결되는 내부의 칩의 수를 조절하여 패키지 핀의 기생 부하를 최소화시킬 수 있는 멀티 칩 패키지에 관한 것이다.

<14> 최근에는 메모리 용량을 증가시키기 위하여 여러 개의 메모리 칩을 한 개의 패키지로 만드는 멀티 칩 패키지 기술이 널리 이용된다. 그러나, 일반적인 멀티 칩 패키지의 경우, 패키지 핀에서 바라본 기생 부하도 내장된 메모리 칩의 수만큼 증가되므로, 패키지 핀으로 입력되는 신호의 고속 전송에 제약을 받는다. 따라서, 멀티 칩 패키지에서는 외부에서 바라본 패키지 핀의 기생 부하를 단일 칩의 기생 부하와 비교할 때 증가되지 않도록 하는 것이 중요하다.

<15> 도 1은 하나의 메모리를 구비하는 N 개의 메모리 모듈이 연결된 메모리 버스를 나타내는 도면이다.

<16> 도 1을 참조하면, N 개의 메모리 슬롯(SLOT1, SLOT2, SLOT3)에 N 개의 메모리 모듈(MM1, MM2, MMN)이 장착된다. 메모리 모듈(MM1, MM2, MM N)은 각각 메모리(M1, M2, MN)를 하나씩 구비한다. C는 각 메모리 모듈(MM1, MM2, MM N)의 입력 커패시턴스이다.

<17> 고성능 메모리 시스템에서는 채널(channel) 당 보다 많은 메모리를 연결하고 동시에 보다 고속으로 신호가 전송될 것이 요구된다. 고속 신호 전송을 위해서는 하나의 채널에 접속되는 메모리의 수가 제한된다.

<18> 도 1의 메모리 버스는 $N \times C$ 의 입력 커패시턴스를 가지게 되며 커패시턴스는 곧 부하와 동일한 효과를 발생한다. 따라서, N 이 커지게 되는 경우 고속 신호 전송이 어렵게 된다. 일반적인 스툴브(stub) 형태의 메모리 버스에서는 메모리 모듈이 장착되는 슬롯(slot)의 수가 4개 이하로 제한 받는다.

<19> 메모리 슬롯의 수가 제한된 상태에서 최대한의 메모리 용량을 확보하기 위하여 여러 개의 패키지를 스택킹(stacking)하여 메모리 모듈을 제작하거나, 하나의 패키지 내에 여러 개의 칩을 장착하는 방법이 일반적으로 이용된다.

<20> 그러나, 신호의 전송 속도가 더욱 증가하게 되면, 스택 패키지나 멀티 칩 패키지를 사용하는 경우에도 신호 전송선의 전체 부하/loading)의 문제로 신호 전송 속도에 제한을 받게 된다. 또한 신호 정합성을 확보하기 위하여 멀티 칩과 같은 패키지를 사용하지 않거나 메모리 슬롯의 수가 더욱 제한 받는다.

<21> 도2는 메모리 슬롯의 수가 2개로 제한된 메모리 버스를 나타내는 도면이다.

<22> 도 2를 참조하면, 첫 번째 메모리 모듈(MM1)은 두 개의 반도체 칩이 내장된 멀티 칩(M1, M2)을 두 개 구비한다. 두 번째 메모리 모듈(MM2)은 두 개의 반도체 칩이 내장된 멀티 칩(M3, M4)을 두 개 구비한다. 따라서, 입력 커패시턴스는 모두 $8 \times C$ 가 된다.

<23> 도3은 도 2의 메모리 버스의 동작 시의 신호 정합성을 설명하는 도면이다.

<24> 도 3의 가로 축은 시간 축이고 세로 축은 전압 축이다.

<25> 첫 번째 슬롯(SLOT1)이나 두 번째 슬롯(SLOT2) 모두 기입 동작과 독출 동작에서 신호 정합성이 낮은 것을 알 수 있다.

<26> 도 4는 도 2의 메모리 모듈보다 메모리 칩의 수를 줄인 경우의 메모리 버스를 나타내는 도면이다.

<27> 도 5는 도 4의 메모리 버스의 동작 시의 신호 정합성을 설명하는 도면이다.

<28> 도 4를 참조하면, 첫 번째 메모리 모듈(MM1)은 두 개의 반도체 칩(M1, M2)만을 구비하고, 두 번째 메모리 모듈(MM2)은 두 개의 반도체 칩(M3, M4)만을 구비한다. 따라서, 입력 커패시턴스는 모두 $4 \times C$ 가 된다.

<29> 도 5를 참조하면, 도 4의 입력 커패시턴스가 도 2의 입력 커패시턴스에 비하여 줄어든 만큼, 신호 정합성이 개선되는 것을 알 수 있다. 이와 같이 고속 전송 메모리 버스에서 신호의 정합성 향상을 위해서는 패키지 핀의 기생 부하를 최소화하는 것이 필요하다.

【발명이 이루고자 하는 기술적 과제】

<30> 본 발명이 이루고자하는 기술적 과제는 멀티 칩을 사용하는 메모리 버스의 신호 정합성을 향상하기 위하여, 패키지 핀의 기생 부하의 증가가 없는 멀티 칩 패키지를 제공하는데 있다.

【발명의 구성 및 작용】

<31> 상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 멀티칩 패키지는, 입출력 패드, 상기 입출력 패드와 연결되는 입출력 드라이버 및 내부 회로를 구비하는 제 1 내지 제 N 반도체 칩을 구비하는 멀티 칩 패키지에 있어서, 상기 제 1 내

지 제 N 반도체 칩은 각각 내부의 입출력 드라이버와 상기 내부 회로를 연결하는 내부 패드를 구비하며, 상기 제 1 내지 제 N 반도체 칩의 상기 내부 패드들은 서로 연결되어 있고, 상기 제 1 반도체 칩의 입출력 패드는 상기 멀티 칩 패키지의 대응되는 핀을 통하여 인가되는 입출력 신호를 수신하며, 상기 제 2 내지 제 N 반도체 칩은 상기 서로 연결된 내부 패드들을 통하여 상기 입출력 신호를 수신하는 것을 특징으로 한다.

<32> 상기 내부 패드들은 서브스트레이트에 장착된 공유 패드를 통하여 서로 연결되는 것을 특징으로 한다. 상기 제 1 반도체 칩의 입출력 패드는 상기 멀티 칩 패키지의 외부 핀과 본딩 되는 것을 특징으로 한다.

<33> 상기 제 1 내지 제 N-1 반도체 칩은 각각 상기 제 N 반도체 칩의 내부 회로가 상기 입출력 신호를 수신하는 것과 동일한 순간에 상기 입출력 신호를 수신하기 위한 지연 회로를 구비하는 것을 특징으로 한다.

<34> 상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 멀티 칩 패키지는, 입출력 패드, 상기 입출력 패드와 연결되는 입출력 드라이버 및 내부 회로를 구비하는 제 1 내지 제 N 반도체 칩들을 구비하는 멀티 칩 패키지에 있어서, 상기 제 1 내지 제 N 반도체 칩들은 각각 내부의 입출력 드라이버와 상기 내부 회로를 연결하는 내부 패드를 구비하며, 상기 제 1 내지 제 N 반도체 칩들의 상기 내부 패드들은 서로 연결되어 있고, 상기 제 1 반도체 칩의 입출력 패드는, 상기 멀티 칩 패키지의 대응되는 핀을 통하여 인가되는 입출력 신호를 수신하며, 상기 제 2 내지 제 N 반도체 칩은, 상기 서로 연결된 내부 패드들을 통하여 상기 입출력 신호를 수신하고, 상기 제 1 내지 제 N 반도체 칩들은 상기 멀티 칩 패키지의 대응되는 핀들을 통하여 입력되는 소정의 외부 신호들을 직접 수신하는 직접 입출력 패드들을 구비하는 것을 특징으로 한다.

<35> 상기 내부 패드들은 서브스트레이트에 장착된 공유 패드를 통하여 서로 연결되는 것을 특징으로 한다. 상기 제 1 반도체 칩의 입출력 패드는 상기 멀티 칩 패키지의 외부 편과 본딩 되는 것을 특징으로 한다.

<36> 상기 제 1 내지 제 N-1 반도체 칩은 각각 상기 제 N 반도체 칩의 내부 회로가 상기 입출력 신호를 수신하는 것과 동일한 순간에 상기 입출력 신호를 수신하기 위한 지연 회로를 구비하는 것을 특징으로 한다. 상기 외부 신호들은, 상기 입출력 신호보다 전송 속도가 느린 것을 특징으로 한다.

<37> 상기 기술적 과제를 달성하기 위한 본 발명의 제 3 실시예에 따른 멀티 칩 패키지는, 제 1 내지 제 N(N은 자연수) 입출력 패드들, 상기 입출력 패드들과 연결되는 제 1 내지 제 N 입출력 드라이버들 및 내부 회로를 각각 구비하는 제 1 내지 제 N 반도체 칩들을 구비하는 멀티 칩 패키지에 있어서, 상기 제 1 내지 제 N 반도체 칩들은 각각 내부의 입출력 드라이버들과 상기 내부 회로를 연결하는 제 1 내지 제 N 내부 패드들을 구비 하며, 상기 제 1 반도체 칩 내부의 상기 제 1 내지 제 N 내부 패드들은 상기 제 2 내지 제 N 반도체 칩 내부의 대응되는 상기 제 1 내지 제 N 내부 패드들과 서로 연결되고, 소정의 제 1 내지 제 N 입출력 신호들은 상기 멀티 칩 패키지의 대응되는 편을 통하여 수신되며, 하나의 상기 반도체 칩마다 하나의 입출력 신호가 대응되는 입출력 패드에 연결되고, 상기 제 1 내지 제 N 반도체 칩들은 상기 서로 연결된 대응되는 내부 패드들을 통하여 상기 입출력 신호를 수신하는 것을 특징으로 한다.

<38> 상기 제 1 내지 제 N 내부 패드들은 서브스트레이트에 장착된 제 1 내지 제 N 공유 패드를 통하여 서로 연결되는 것을 특징으로 한다. 상기 제 1 내지 제 N 반도체 칩들은 상기 제 1 내지 제 N 반도체 칩들로 수신되는 상기 입출력 신호들이 상기 내부 회로로

동일한 순간에 입력되도록 상기 입출력 신호들의 자연 시간을 제어하는 자연 회로들을 구비하는 것을 특징으로 한다.

<39> 상기 제 1 내지 제 N 반도체 칩들은 상기 멀티 칩 패키지의 대응되는 핀들을 통하여 입력되는 소정의 외부 신호들을 직접 수신하는 직접 입출력 패드들을 더 구비하는 것을 특징으로 한다. 상기 외부 신호들은 상기 입출력 신호보다 전송 속도가 느린 것을 특징으로 한다.

<40> 상기 기술적 과제를 달성하기 위한 본 발명의 제 4 실시예에 따른 멀티 칩 패키지는, 복수개의 입출력 패드들, 상기 입출력 패드들과 연결되는 복수개의 입출력 드라이버들 및 내부 회로를 각각 구비하는 제 1 내지 제 N 반도체 칩들을 구비하는 멀티 칩 패키지에 있어서, 상기 제 1 내지 제 N 반도체 칩들은 각각 내부의 입출력 드라이버들과 상기 내부 회로를 연결하는 상기 입출력 드라이버들의 수와 동일한 수의 내부 패드들을 구비하며, 상기 제 1 반도체 칩 내부의 상기 복수개의 내부 패드들은 상기 제 2 내지 제 N 반도체 칩 내부의 대응되는 상기 복수개의 내부 패드들과 서로 연결되고, 상기 멀티 칩 패키지의 대응되는 핀들을 통하여 수신되는 소정의 제 1 내지 제 M(M은 N 보다 큰 자연 수)입출력 신호들 중 일정한 수의 입출력 신호들이 상기 제 1 내지 제 N 반도체 칩들의 대응되는 입출력 패드에 나뉘어져 연결되고, 상기 제 1 내지 제 N 반도체 칩들은 상기 서로 연결된 대응되는 내부 패드들을 통하여 상기 입출력 신호를 수신하는 것을 특징으로 한다.

<41> 상기 복수개의 내부 패드들은 서브스트레이트에 장착된 복수개의 대응되는 공유 패드들을 통하여 서로 연결되는 것을 특징으로 한다. 상기 제 1 내지 제 N 반도체 칩들은 상기 제 1 내지 제 N 반도체 칩들로 수신되는 상기 입출력 신호들이 상기 내부 회로로

동일한 순간에 입력되도록 상기 입출력 신호들의 자연 시간을 제어하는 자연 회로들을 구비하는 것을 특징으로 한다.

<42> 상기 제 1 내지 제 N 반도체 칩들은 상기 멀티 칩 패키지의 대응되는 편들을 통하여 입력되는 소정의 외부 신호들을 직접 수신하는 직접 입출력 패드들을 더 구비하는 것을 특징으로 한다. 상기 외부 신호들은 상기 입출력 신호보다 전송 속도가 느린 것을 특징으로 한다.

<43> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<44> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<45> 도 6은 본 발명의 제 1 실시예에 따른 멀티 칩 패키지를 나타내는 도면이다.

<46> 도 6의 멀티 칩 패키지(600)는 제 1 내지 제 N 반도체 칩(CHIP1, CHIP2 ~ CHIP N)들을 구비한다. 여기서 N은 자연수이다. 제 1 반도체 칩(CHIP1)은 입출력 패드들(DQP11, DQP12), 입출력 패드(DQP11)와 연결되는 입출력 드라이버(IOD11) 및 내부 회로(ICT1)를 구비한다. 또한 입출력 드라이버(IOD11)를 통하여 내부 회로(ICT1)로 신호를 전송하기 위한 회로들(610, 640)을 구비한다. 제 2 내지 제 N 반도체 칩들(CHIP2 ~ CHIP N)의 구성도 제 1 반도체 칩(CHIP1)의 구성과 동일하다.

<47> 제 1 반도체 칩(CHIP1)의 동작을 설명한다. 입출력 신호(IOS)가 입출력 패드(DQP11)와 입출력 드라이버(IOD11)를 통하여 제 1 반도체 칩(CHIP1)으로 인가된다. 이

때, 하이 레벨의 칩 선택 신호(CS)가 입출력 패드(DQP11) 및 입력 리시버(IR11)를 통하여 인가되면, 칩 선택 신호(CS)는 직접, 그리고 인버터(640)를 통하여 전송 게이트(610)로 인가되고, 전송 게이트(610)는 턴 온 된다. 그러면 입출력 신호(IOS)가 내부 회로(ICT1)의 레지스터(670)로 인가된다.

<48> 제 2 내지 제 N 반도체 칩(CHIP2 ~ CHIP N)의 동작도 제 1 반도체 칩(CHIP1)의 동작과 동일하므로 상세한 설명은 생략한다.

<49> 제 1 내지 제 N 반도체 칩(CHIP1 ~ CHIP N)들은 각각 내부의 입출력 드라이버(IOD11, IOD21 ~ IOD N1)와 내부 회로(CT1, ICT2 ~ ICT N)를 연결하는 내부 패드(IP11, IP21 ~ IP N1)를 구비한다. 제 1 내지 제 N 반도체 칩(CHIP1 ~ CHIP N)의 내부 패드들(IP11, IP21 ~ IP N1)은 서로 연결되어 있다. 내부 패드들(IP11, IP21 ~ IP N1)은 서브스트레이트에 장착된 공유 패드(미도시)를 통하여 서로 연결된다. 공유 패드(미도시)는 후술하는 도 7에서 설명된다. 내부 패드들(IP11, IP21 ~ IP N1)을 연결하는 방법은 와이어 본딩에 의할 수 있다. 그러나 와이어 본딩에 한정되는 것은 아니며 그 외에 신호를 전송 할 수 있는 수단이라면 가능하다.

<50> 제 1 반도체 칩(CHIP1)의 입출력 패드(DQP11)는 멀티 칩 패키지(600)의 대응되는 핀(미도시)을 통하여 인가되는 입출력 신호(IOS)를 수신한다. 그리고, 제 1 반도체 칩(CHIP1)의 입출력 패드(DQP11)는 멀티 칩 패키지(600)의 외부 핀(미도시)과 본딩 된다.

<51> 그리고, 제 2 내지 제 N 반도체 칩(CHIP2 ~ CHIP N)은 서로 연결된 내부 패드들(IP11, IP21 ~ IP N1)을 통하여 입출력 신호(IOS)를 수신한다.

<52> 종래의 멀티 칩 패키지에서는 입출력 신호는 각각의 반도체 칩의 입출력 패드를 통하여 모두 인가되었다. 그러나, 부하/loading)가 크고 고속 데이터 전송이 필요한 입출력 신호가 인가되는 패키지 편의 기생 부하를 최소화하기 위하여 본 발명에서는 입출력 신호(IOS)는 하나의 반도체 칩, 즉, 제 1 반도체 칩(CHIP1)으로만 인가된다.

<53> 그리고, 제 2 내지 제 N 반도체 칩(CHIP2 ~ CHIP N)들은 내부 패드들(IP11, IP21 ~ IP N1)을 이용하여 멀티 칩 패키지(600) 외부를 통하여 않고 입출력 신호(IOS)를 수신한다. 입출력 신호(IOS)는 제 1 반도체 칩(CHIP1)의 입출력 패드(DQP11)로만 인가되므로, 기생 부하의 관점에서는 멀티 칩 패키지(600)는 하나의 반도체 칩만을 구비한 것과 동일하게 된다.

<54> 칩 선택 신호(CS)는 일반적으로 사용되는 멀티 칩 패키지에서의 연결 방식으로 연결되어 있다. 따라서, 칩 선택 신호(CS)가 인가되는 패키지 편의 기생 부하는 N 개의 반도체 칩(CHIP1 ~ CHIP N)을 모두 바라보게 되므로 입출력 신호(IOS)의 경우와 달리 기생 부하가 N 배로 커지게 되는 반면, 외부에서 제 1 내지 제 N 반도체 칩(CHIP1 ~ CHIP N)으로 동시에 신호 전달이 가능하다.

<55> 일반적으로는 칩 선택 신호(CS)의 편의 기생 부하가 입출력 신호(IOS)의 편의 기생 부하보다 작아서 기생 부하의 값이 N 배가 되어도 멀티 칩 패키지(600)의 동작에는 문제 가 없다.

<56> 제 1 내지 제 N-1 반도체 칩(CHIP1 ~ CHIP N-1)은 각각 제 N 반도체 칩(CHIP N)의 내부 회로(ICK1 ~ ICK N)가 입출력 신호(IOS)를 수신하는 것과 동일한 순간에 입출력 신호(IOS)를 수신하기 위한 지연 회로(미도시)를 구비한다.

<57> 본 발명에 의하면 도 6에서, 제 N 반도체 칩(CHIP N)은 제 1 내지 제 N-1 반도체 칩(CHIP1 ~ CHIP N-1)을 경유하여 입출력 신호(IOS)를 수신하기 때문에, 제 N 반도체 칩(CHIP N)의 내부 회로(ICT N)까지 입출력 신호(IOS)가 전달되는 시간이 제 1 반도체 칩(CHIP1)과 비교하여 길어지는 문제가 있을 수 있다.

<58> 이러한 문제를 방지하기 위하여, 각각의 반도체 칩(CHIP1 ~ CHIP N)은 입출력 신호(IOS)의 전달 시간을 선택적으로 지연시킬 수 있는 지연 회로(미도시)를 구비할 수 있다

<59> 도 7은 도 6의 멀티 칩 패키지 내부의 반도체 칩들의 연결 방식의 하나의 예를 나타내는 도면이다.

<60> 도 7에는 제 1 및 제 2 반도체 칩(CHIP1, CHIP 2)만이 도시되어 있다. 제 1 반도체 칩(CHIP1)과 제 2 반도체 칩(CHIP2)을 이용하여 연결 방식을 설명한다.

<61> 제 1 반도체 칩(CHIP1)과 제 2 반도체 칩(CHIP2)의 각각의 내부 패드들(IP11, IP12, IP13, IP14, IP15, IP21, IP22, IP23, IP24, IP25)사이의 신호 전송은 본딩(bonding)을 이용하여 연결함으로써 직접 연결이 가능하다. 반도체 칩의 가장자리에 패드가 장착되는 경우, 추가적인 재배선 공정이 필요 없으나 반도체 칩의 중앙에 패드가 장착된 경우에는 가장자리에 중앙의 패드와 연결되는 패드를 재배치해야 한다.

<62> 내부 패드들(IP11, IP12, IP13, IP14, IP15, IP21, IP22, IP23, IP24, IP25)은 서브스트레이트의 공유 패드들(SSP1, SSP2, SSP3, SSP4, SSP5)을 통하여 연결된다. 즉, 제 1 반도체 칩(CHIP1)의 제 1 내부 패드(IP11)와 제 2 반도체 칩(CHIP2)의 제 1 내부 패드(IP21)는 제 1 공유 패드(SSP1)와 공통적으로 본딩 되어 있다. 같은 방식으로, 제 1

반도체 칩(CHIP1)의 제 2 내부 패드(IP12)와 제 2 반도체 칩(CHIP2)의 제 2 내부 패드(IP22)는 제 2 공유 패드(SSP2)와 공통적으로 본딩 되어 있다.

<63> 입출력 신호(IOS)가 인가되는 제 1 반도체 칩(CHIP1)의 제 1 입출력 패드(DQP11)는 서브스트레이트의 패드(SDQP1)와 연결되고 패드(SDQP1)는 멀티 칩 패키지의 외부 핀 또는 볼(ball)과 연결된다.

<64> 공유 패드(SSP1, SSP2, SSP3, SSP4, SSP5)를 이용하여 위 아래의 반도체 칩의 내부 패드들을 연결하는 방법은 입출력 신호(IOS)의 전송 속도가 낮은 경우는 큰 문제가 없으나 고속으로 동작하는 경우에는 와이어(wire)에 의한 지연이 발생할 수 있다. 이러한 문제는 도 8의 연결 방법에 의하여 해결 할 수 있다.

<65> 도 8은 도 6의 멀티 칩 패키지 내부의 반도체 칩들의 연결 방식의 다른 하나의 예를 나타내는 도면이다.

<66> 도 8은 플립 칩(Flip chip) 구조로 형성하여 반도체 칩의 위에 다른 반도체 칩을 장착하는 구조이다. 내부 패드(IP)를 제외한 다른 패드들은 와이어 본딩(wire bonding)이 될 수 있는 패드(SDQP)와 연결 되도록 한다. 아래에 위치하는 반도체 칩(CHIP1)은 와이어 본딩(wire bonding)을 이용하여 패키지의 본딩 핑거(bonding finger)(미도시)와 연결하여 패키지의 터미널에 연결되도록 한다.

<67> 내부 패드(IP)는 패키지의 터미널과 연결되지 않기 때문에 와이어 본딩(wire bonding)이 되는 패드(SDQP)와 연결하지 않는다. 동일한 반도체 칩을 이용하여 플립 칩(Flip chip) 구조를 구현하기 위해서는 범프(bump)의 위치가 서로 대칭이 되어야 한다. 또는 범프(bump)의 기능(function)이 대칭이 되도록 구성할 수도 있다.

<68> 도 9는 본 발명의 제 2 실시예에 따른 멀티 칩 패키지를 나타내는 도면이다.

<69> 도 9는 내부 패드(IP11, IP21)를 이용하여 입출력 신호(IOS)를 반도체 칩들(CHIP1, CHIP2)로 인가하고 다른 신호들은 각각의 반도체 칩들(CHIP1, CHIP2)로 직접 입력하는 멀티 칩 패키지를 설명한다.

<70> 즉, 도 9의 멀티 칩 패키지(900)는 도 6의 멀티 칩 패키지(600)와 같이 입출력 패드(DQP11)와 내부 패드(IP11, IP21)를 구비하고 입출력 신호(IOS)가 입출력 패드(DQP11)와 내부 패드(IP11, IO21)를 통하여 반도체 칩들(CHIP1, CHIP2)로 인가된다. 그리고, 소정의 외부 신호들(EXS1, EXS2)은 각각의 반도체 칩들(CHIP1, CHIP2)의 직접 입출력 패드(DQP12, DQP13, DQP21, DQP22)를 통하여 각 반도체 칩들(CHIP1, CHIP2)로 인가된다. 외부 신호들(EXS1, EXS2)은 멀티 칩 패키지(900)의 대응되는 핀들(미도시)을 통하여 입력된다.

<71> 제 2 실시예의 멀티 칩 패키지(900)에 의하면 내부 패드(IP11, IP21)를 이용하여 반도체 칩들(CHIP1, CHIP2)로 인가되는 신호와 반도체 칩들(CHIP1, CHIP2)로 직접 인가되는 신호를 선택할 수 있다.

<72> 즉, 어드레스 신호나 명령(command)과 같이 패키지 핀의 기생 부하가 작은 경우나 신호 전송 속도에 제한을 받지 않는 신호는 직접 입출력 패드(DQP12, DQP13, DQP21, DQP22)를 이용하여 반도체 칩들(CHIP1, CHIP2)로 인가하고, 입출력 신호(IOS)와 같이 패키지 핀의 기생 부하가 크거나 신호의 고속 전송이 필요한 신호는 내부 패드(IP11, IP21)를 이용하여 반도체 칩들(CHIP1, CHIP2)로 인가한다.

<73> 도 10은 본 발명의 제 3 실시예에 따른 멀티 칩 패키지를 나타내는 도면이다.

<74> 도 10을 참조하면, 본 발명의 제 3 실시예에 따른 멀티 칩 패키지(1000)는, 제 1 내지 제 N(N은 자연수) 입출력 패드들(DQP11, DQP21, DQP31), 입출력 패드들(DQP11, DQP21, DQP31)과 연결되는 제 1 내지 제 N 입출력 드라이버들(미도시) 및 내부 회로(미도시)를 각각 구비하는 제 1 내지 제 N 반도체 칩들(CHIP1, CHIP2, CHIP3)을 구비한다.

<75> 제 1 내지 제 N 반도체 칩들(CHIP1, CHIP2, CHIP3)은 각각 내부의 입출력 드라이버들(미도시)과 내부 회로를 연결하는 제 1 내지 제 N 내부 패드들(IP11, IP12, IP13, IP21, IP22, IP23, IP31, IP32, IP33)을 구비하며, 제 1 반도체 칩(CHIP1) 내부의 제 1 내지 제 N 내부 패드들(IP11, IP12, IP13)은 제 2 내지 제 N 반도체 칩(CHIP2, CHIP3) 내부의 대응되는 제 1 내지 제 N 내부 패드들(IP21, IP22, IP23, IP31, IP32, IP33)과 서로 연결된다.

<76> 소정의 제 1 내지 제 N 입출력 신호들(IOS1, IOS2, IOS3)은 멀티 칩 패키지(1000)의 대응되는 핀을 통하여 수신되며, 하나의 반도체 칩마다 하나의 입출력 신호가 대응되는 입출력 패드에 연결되고, 제 1 내지 제 N 반도체 칩들(CHIP1, CHIP2, CHIP3)은 서로 연결된 대응되는 내부 패드들(IP11, IP12, IP13, IP21, IP22, IP23, IP31, IP32, IP33)을 통하여 입출력 신호(IOS1 ~ IOS3)를 수신한다. 본 실시예에서 N은 3으로 설정하여 설명한다.

<77> 도 10의 실시예는 입출력 신호 인가되는 반도체 칩의 입출력 패드에 의하여 발생되는 잡음을 최소화하기 위하여, 입출력 신호가 인가되는 입출력 패드를 여러 개의 칩에 분산하는 것을 설명한다.

<78> 도 6의 제 1 실시예에서는 하나의 입출력 신호(IOS)가 N 개의 반도체 칩들(CHIP1 ~ CHIP N)로 인가되는 경우이다. 도 10의 제 3 실시예에서는 N 개의 입출력 신호(IOS1,

IOS2, IOS3)가 N 개의 반도체 칩들(CHIP1, CHIP2, CHIP3)로 인가되므로 N 개의 입출력 패드들(DQP11, DQP21, DQP31)이 필요하다.

<79> 입출력 신호(IOS1, IOS2, IOS3)가 인가되는 N 개의 입출력 패드들(DQP11, DQP21, DQP31)을 N 개의 반도체 칩들(CHIP1, CHIP2, CHIP3)에 분산시킴으로써 잡음을 최소화 할 수 있다. 도 10을 참조하면, 제 1 입출력 신호(IOS1)가 인가되는 입출력 패드(DQP11)는 제 1 반도체 칩(CHIP1)에 장착되고, 제 1 입출력 신호(IOS1)는 내부 패드들(IP11, IP21, IP31)을 통하여 제 1 내지 제 3 반도체 칩들(CHIP1, CHIP2, CHIP3)로 인가된다.

<80> 제 2 입출력 신호(IOS2)가 인가되는 입출력 패드(DQP21)는 제 2 반도체 칩(CHIP2)에 장착되고, 제 2 입출력 신호(IOS2)는 내부 패드들(IP12, IP22, IP32)을 통하여 제 1 내지 제 3 반도체 칩들(CHIP1, CHIP2, CHIP3)로 인가된다.

<81> 제 3 입출력 신호(IOS3)가 인가되는 입출력 패드(DQP31)는 제 3 반도체 칩(CHIP3)에 장착되고, 제 3 입출력 신호(IOS3)는 내부 패드들(IP13, IP23, IP33)을 통하여 제 1 내지 제 3 반도체 칩들(CHIP1, CHIP2, CHIP3)로 인가된다.

<82> 제 1 내지 제 3 입출력 신호들(IOS1, IOS2, IOS3)은 서로 동일한 신호들 일 수도 있고, 서로 다른 신호들 일 수도 있다.

<83> 제 1 내지 제 3 반도체 칩들(CHIP1, CHIP2, CHIP3)은 멀티 칩 패키지(1000)의 대응 되는 핀들(미도시)을 통하여 입력되는 소정의 외부 신호(EXS)를 직접 수신하는 직접 입출력 패드들(DQP12, DQP22, DQP32)을 더 구비하는 것을 특징으로 한다. 외부 신호(EXS)는 입출력 신호(IOS)보다 전송 속도가 느리다.

<84> 도 9의 실시예와 같이, 도 10의 실시예의 멀티 칩 패키지(1000)도 멀티 칩 패키지(1000)로 인가되는 신호의 성격에 따라서 내부 패드들(IP11, IP12, IP13, IP21, IP22, IP23, IP31, IP32, IP33)을 이용하여 반도체 칩으로 신호를 인가하거나 또는 직접 입출력 패드(DQP12, DQP22, DQP32)를 통하여 반도체 칩으로 신호를 인가할 수 있다.

<85> 내부 패드들(IP11, IP12, IP13, IP21, IP22, IP23, IP31, IP32, IP33)을 연결하는 방법은 도 6의 제 1 실시예와 마찬가지로 서브스트레이트에 장착된 공유 패드(미도시)를 이용할 수 있다. 또한 제 1 내지 제 3 반도체 칩들(CHIP1, CHIP2, CHIP3)은 제 1 내지 제 3 반도체 칩들(CHIP1, CHIP2, CHIP3)로 수신되는 입출력 신호들(IOS1, IOS2, IOS3)이 내부 회로로 동일한 순간에 입력되도록 입출력 신호들(IOS1, IOS2, IOS3)의 지연 시간을 제어하는 지연 회로들(미도시)을 구비할 수 있다.

<86> 도 11은 본 발명의 제 4 실시예에 따른 멀티 칩 패키지를 나타내는 도면이다.

<87> 본 발명의 제 4 실시예에 따른 멀티 칩 패키지(1100)는, 복수개의 입출력 패드들(DQP11, DQP12, DQP21, DQP22), 입출력 패드들()과 연결되는 복수개의 입출력 드라이버들(미도시) 및 내부 회로(미도시)를 각각 구비하는 제 1 내지 제 N 반도체 칩들(CHIP1, CHIP2)을 구비한다. 제 1 내지 제 N 반도체 칩들(CHIP1, CHIP2)은 각각 내부의 입출력 드라이버들(미도시)과 내부 회로(미도시)를 연결하는 입출력 드라이버들(미도시)의 수와 동일한 수의 내부 패드들(IP11, IP12, IP13, IP14, IP21, IP22, IPP23, IP24)을 구비하며, 제 1 반도체 칩(CHIP1) 내부의 복수개의 내부 패드들(IP11, IP12, IP13, IP14)은 제 2 내지 제 N 반도체 칩 내부의 대응되는 복수개의 내부 패드들(IP21, IP22, IPP23, IP24)과 서로 연결된다.

<88> 멀티 칩 패키지(1100)의 대응되는 펀들(미도시)을 통하여 수신되는 소정의 제 1 내지 제 M(M은 N 보다 큰 자연수)입출력 신호들(IOS1 ~ IOS4) 중 일정한 수의 입출력 신호들이 제 1 내지 제 N 반도체 칩들(CHIP1, CHIP2)의 대응되는 입출력 패드에 나뉘어져 연결되고, 제 1 내지 제 N 반도체 칩들(CHIP1, CHIP2)은 서로 연결된 대응되는 내부 패드들(IP11, IP12, IP13, IP14, IP21, IP22, IPP23, IP24)을 통하여 입출력 신호를 수신 한다.

<89> 여기서 N은 2 이고 M은 4 인 것으로 설정하여 설명한다.

<90> 도 10의 제 3 실시예는 입출력 신호들(IOS1, IOS2, IOS3)의 수와 반도체 칩들(CHIP1, CHIP2, CHIP3)의 수가 N 개로서 동일하므로 하나의 반도체 칩에 하나의 입출력 신호가 직접 인가되고 나머지 반도체 칩으로는 내부 패드들을 통하여 입출력 신호가 인가된다.

<91> 도 11의 제 4 실시예는 입출력 신호가 인가되는 입출력 패드를 분산시켜 장착함으로써 잡음을 줄이려는 목적은 동일하나, 입출력 신호의 수가 반도체 칩의 수보다 많은 경우이다. 이 경우에도 입출력 신호를 적당한 수로 나누어 반도체 칩에 최대한 분산시켜 인가한다면 잡음을 최소한으로 줄일 수 있다.

<92> 도 11에서는 4개의 입출력 신호들(IOS1, IOS2, IOS3, IOS4)이 있고 2개의 반도체 칩들(CHIP1, CHIP2)이 있으므로, 하나의 반도체 칩마다 두 개의 입출력 신호들을 인가시킨다면 입출력 신호가 인가되는 입출력 패드로 인한 각 반도체 칩에서의 잡음은 최소가 될 수 있다.

<93> 내부 패드들(IP11, IP12, IP13, IP14, IP21, IP22, IPP23, IP24)을 연결하는 방법은 도 6의 제 1 실시예와 마찬가지로 서브스트레이트에 장착된 공유 패드(미도시)를 이용할 수 있다. 또한 제 1 내지 제 2 반도체 칩들(CHIP1, CHIP2)은 제 1 내지 제 2 반도체 칩들(CHIP1, CHIP2)로 수신되는 입출력 신호들(IOS1, IOS2, IOS3, IOS4)이 내부 회로로 동일한 순간에 입력되도록 입출력 신호들(IOS1, IOS2, IOS3, IOS4)의 지연 시간을 제어하는 지연 회로들(미도시)을 구비할 수 있다.

<94> 또한 도 10의 실시예와 같이, 도 11의 멀티 칩 패키지(1100)로 인가되는 신호의 성격에 따라서 내부 패드들(IP11, IP12, IP13, IP14, IP21, IP22, IPP23, IP24)을 이용하여 반도체 칩으로 신호를 인가하거나 또는 직접 입출력 패드를 통하여 반도체 칩으로 신호를 인가할 수 있다. 이는 도 10과 같이 직접 입출력 패드를 각 반도체 칩에 장착함으로써 가능하다.

<95> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<96> 상술한 바와 같이 본 발명에 따른 멀티 칩 패키지는 고속 전송이 필요한 신호가 인가되는 핀의 경우, 단일 칩과 동일한 핀 기생 부하를 유지하도록 하여 신호 정합성을 개

1020020075805

출력 일자: 2003/6/3

선시키는 장점이 있다. 또한 고속 전송이 필요하지 않은 신호가 인가되는 편의 경우, 기존과 동일한 방식으로 패키지 할 수도 있는 장점이 있다.

【특허 청구범위】**【청구항 1】**

입출력 패드, 상기 입출력 패드와 연결되는 입출력 드라이버 및 내부 회로를 구비하는 제 1 내지 제 N 반도체 칩을 구비하는 멀티 칩 패키지에 있어서,

상기 제 1 내지 제 N 반도체 칩은 각각,

내부의 입출력 드라이버와 상기 내부 회로를 연결하는 내부 패드를 구비하며,

상기 제 1 내지 제 N 반도체 칩의 상기 내부 패드들은 서로 연결되어 있고,

상기 제 1 반도체 칩의 입출력 패드는,

상기 멀티 칩 패키지의 대응되는 핀을 통하여 인가되는 입출력 신호를 수신하며,

상기 제 2 내지 제 N 반도체 칩은,

상기 서로 연결된 내부 패드들을 통하여 상기 입출력 신호를 수신하는 것을 특징으로 하는 핀의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 2】

제 1항에 있어서, 상기 내부 패드들은,

서브스트레이트에 장착된 공유 패드를 통하여 서로 연결되는 것을 특징으로 하는 핀의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 3】

제 1항에 있어서, 상기 제 1 반도체 칩의 입출력 패드는,

상기 멀티 칩 패키지의 외부 핀과 본딩 되는 것을 특징으로 하는 핀의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 4】

제 1항에 있어서, 상기 제 1 내지 제 N-1 반도체 칩은 각각, 상기 제 N 반도체 칩의 내부 회로가 상기 입출력 신호를 수신하는 것과 동일한 순간에 상기 입출력 신호를 수신하기 위한 지연 회로를 구비하는 것을 특징으로 하는 편의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 5】

입출력 패드, 상기 입출력 패드와 연결되는 입출력 드라이버 및 내부 회로를 구비하는 제 1 내지 제 N 반도체 칩들을 구비하는 멀티 칩 패키지에 있어서, 상기 제 1 내지 제 N 반도체 칩들은 각각, 내부의 입출력 드라이버와 상기 내부 회로를 연결하는 내부 패드를 구비하며, 상기 제 1 내지 제 N 반도체 칩들의 상기 내부 패드들은 서로 연결되어 있고, 상기 제 1 반도체 칩의 입출력 패드는, 상기 멀티 칩 패키지의 대응되는 편을 통하여 인가되는 입출력 신호를 수신하며, 상기 제 2 내지 제 N 반도체 칩은, 상기 서로 연결된 내부 패드들을 통하여 상기 입출력 신호를 수신하고, 상기 제 1 내지 제 N 반도체 칩들은, 상기 멀티 칩 패키지의 대응되는 편들을 통하여 입력되는 소정의 외부 신호들을 직접 수신하는 직접 입출력 패드들을 구비하는 것을 특징으로 하는 편의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 6】

제 5항에 있어서, 상기 내부 패드들은,
서브스트레이트에 장착된 공유 패드를 통하여 서로 연결되는 것을 특징으로 하는
핀의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 7】

제 5항에 있어서, 상기 제 1 반도체 칩의 입출력 패드는,
상기 멀티 칩 패키지의 외부 핀과 본딩 되는 것을 특징으로 하는 핀의 기생 부하를
최소화시키는 멀티 칩 패키지.

【청구항 8】

제 5항에 있어서, 상기 제 1 내지 제 N-1 반도체 칩은 각각,
상기 제 N 반도체 칩의 내부 회로가 상기 입출력 신호를 수신하는 것과 동일한 순
간에 상기 입출력 신호를 수신하기 위한 지연 회로를 구비하는 것을 특징으로 하는 핀의
기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 9】

제 5항에 있어서, 상기 외부 신호들은,
상기 입출력 신호보다 전송 속도가 느린 것을 특징으로 하는 핀의 기생 부하를 최
소화시키는 멀티 칩 패키지.

【청구항 10】

제 1 내지 제 N(N은 자연수) 입출력 패드들, 상기 입출력 패드들과 연결되는 제 1 내지 제 N 입출력 드라이버들 및 내부 회로를 각각 구비하는 제 1 내지 제 N 반도체 칩들을 구비하는 멀티 칩 패키지에 있어서,

상기 제 1 내지 제 N 반도체 칩들은 각각,

내부의 입출력 드라이버들과 상기 내부 회로를 연결하는 제 1 내지 제 N 내부 패드들을 구비하며,

상기 제 1 반도체 칩 내부의 상기 제 1 내지 제 N 내부 패드들은,

상기 제 2 내지 제 N 반도체 칩 내부의 대응되는 상기 제 1 내지 제 N 내부 패드들과 서로 연결되고,

소정의 제 1 내지 제 N 입출력 신호들은,

상기 멀티 칩 패키지의 대응되는 핀을 통하여 수신되며, 하나의 상기 반도체 칩마다 하나의 입출력 신호가 대응되는 입출력 패드에 연결되고,

상기 제 1 내지 제 N 반도체 칩들은,

상기 서로 연결된 대응되는 내부 패드들을 통하여 상기 입출력 신호를 수신하는 것을 특징으로 하는 핀의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 11】

제 10항에 있어서, 상기 제 1 내지 제 N 내부 패드들은,
서브스트레이트에 장착된 제 1 내지 제 N 공유 패드를 통하여 서로 연결되는 것을 특징으로 하는 핀의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 12】

제 10항에 있어서, 상기 제 1 내지 제 N 반도체 칩들은,
상기 제 1 내지 제 N 반도체 칩들로 수신되는 상기 입출력 신호들이 상기 내부 회로로 동일한 순간에 입력되도록 상기 입출력 신호들의 지연 시간을 제어하는 지연 회로들을 구비하는 것을 특징으로 하는 편의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 13】

제 10항에 있어서, 상기 제 1 내지 제 N 반도체 칩들은,
상기 멀티 칩 패키지의 대응되는 편들을 통하여 입력되는 소정의 외부 신호들을 직접 수신하는 직접 입출력 패드들을 더 구비하는 것을 특징으로 하는 편의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 14】

제 13항에 있어서, 상기 외부 신호들은,
상기 입출력 신호보다 전송 속도가 느린 것을 특징으로 하는 편의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 15】

복수개의 입출력 패드들, 상기 입출력 패드들과 연결되는 복수개의 입출력 드라이버들 및 내부 회로를 각각 구비하는 제 1 내지 제 N 반도체 칩들을 구비하는 멀티 칩 패키지에 있어서,
상기 제 1 내지 제 N 반도체 칩들은 각각,

내부의 입출력 드라이버들과 상기 내부 회로를 연결하는 상기 입출력 드라이버들의 수와 동일한 수의 내부 패드들을 구비하며,

상기 제 1 반도체 칩 내부의 상기 복수개의 내부 패드들은,

상기 제 2 내지 제 N 반도체 칩 내부의 대응되는 상기 복수개의 내부 패드들과 서로 연결되고,

상기 멀티 칩 패키지의 대응되는 핀들을 통하여 수신되는 소정의 제 1 내지 제 M(M은 N 보다 큰 자연수)입출력 신호들 중 일정한 수의 입출력 신호들이 상기 제 1 내지 제 N 반도체 칩들의 대응되는 입출력 패드에 나뉘어져 연결되고,

상기 제 1 내지 제 N 반도체 칩들은,

상기 서로 연결된 대응되는 내부 패드들을 통하여 상기 입출력 신호를 수신하는 것을 특징으로 하는 핀의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 16】

제 15항에 있어서, 상기 복수개의 내부 패드들은,

서브스트레이트에 장착된 복수개의 대응되는 공유 패드들을 통하여 서로 연결되는 것을 특징으로 하는 핀의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 17】

제 15항에 있어서, 상기 제 1 내지 제 N 반도체 칩들은,

상기 제 1 내지 제 N 반도체 칩들로 수신되는 상기 입출력 신호들이 상기 내부 회로로 동일한 순간에 입력되도록 상기 입출력 신호들의 지연 시간을 제어하는 지연 회로

들을 구비하는 것을 특징으로 하는 펈의 기생 부하를 최소화시키는 멀티 칩 패키지.

【청구항 18】

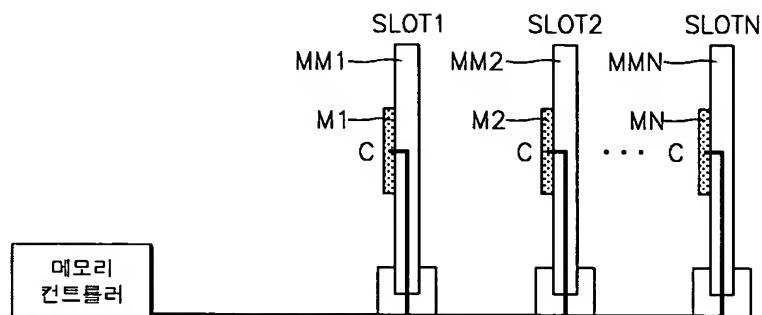
제 15항에 있어서, 상기 제 1 내지 제 N 반도체 칩들은,
상기 멀티 칩 패키지의 대응되는 펈들을 통하여 입력되는 소정의 외부 신호들을 직
접 수신하는 직접 입출력 패드들을 더 구비하는 것을 특징으로 하는 펈의 기생 부하를
최소화시키는 멀티 칩 패키지.

【청구항 19】

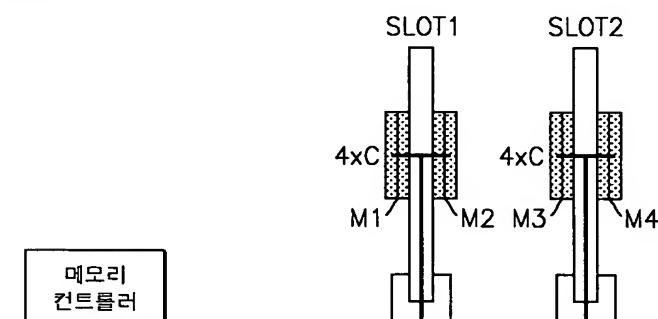
제 18항에 있어서, 상기 외부 신호들은,
상기 입출력 신호보다 전송 속도가 느린 것을 특징으로 하는 펈의 기생 부하를 최
소화시키는 멀티 칩 패키지.

【도면】

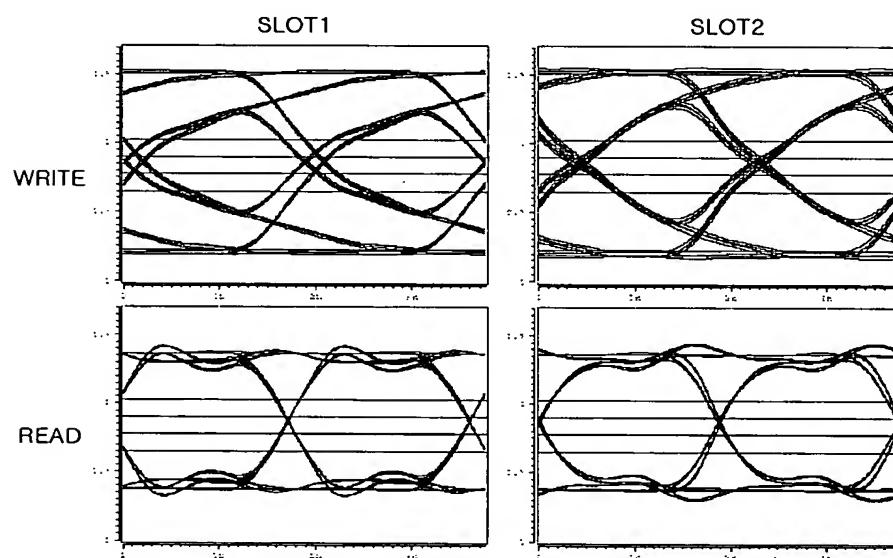
【도 1】



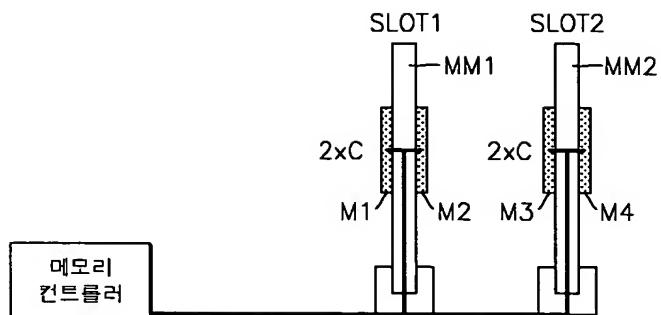
【도 2】



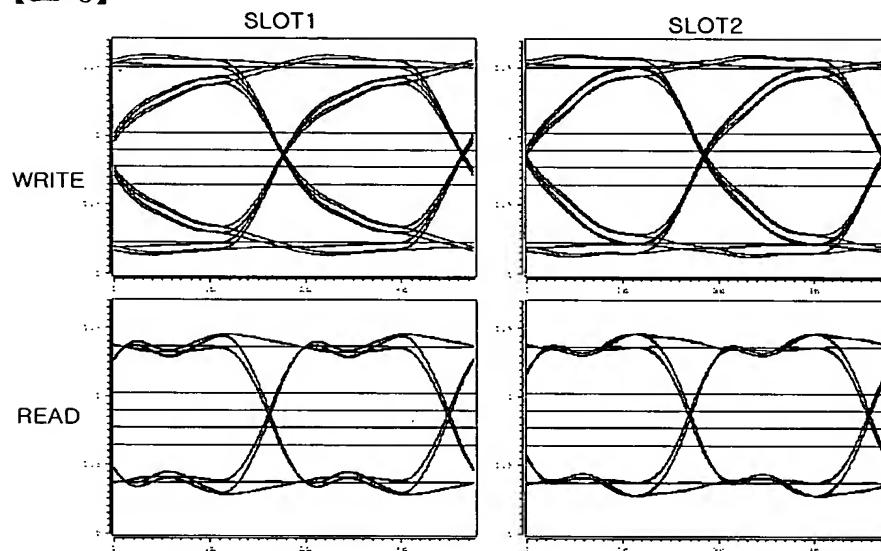
【도 3】



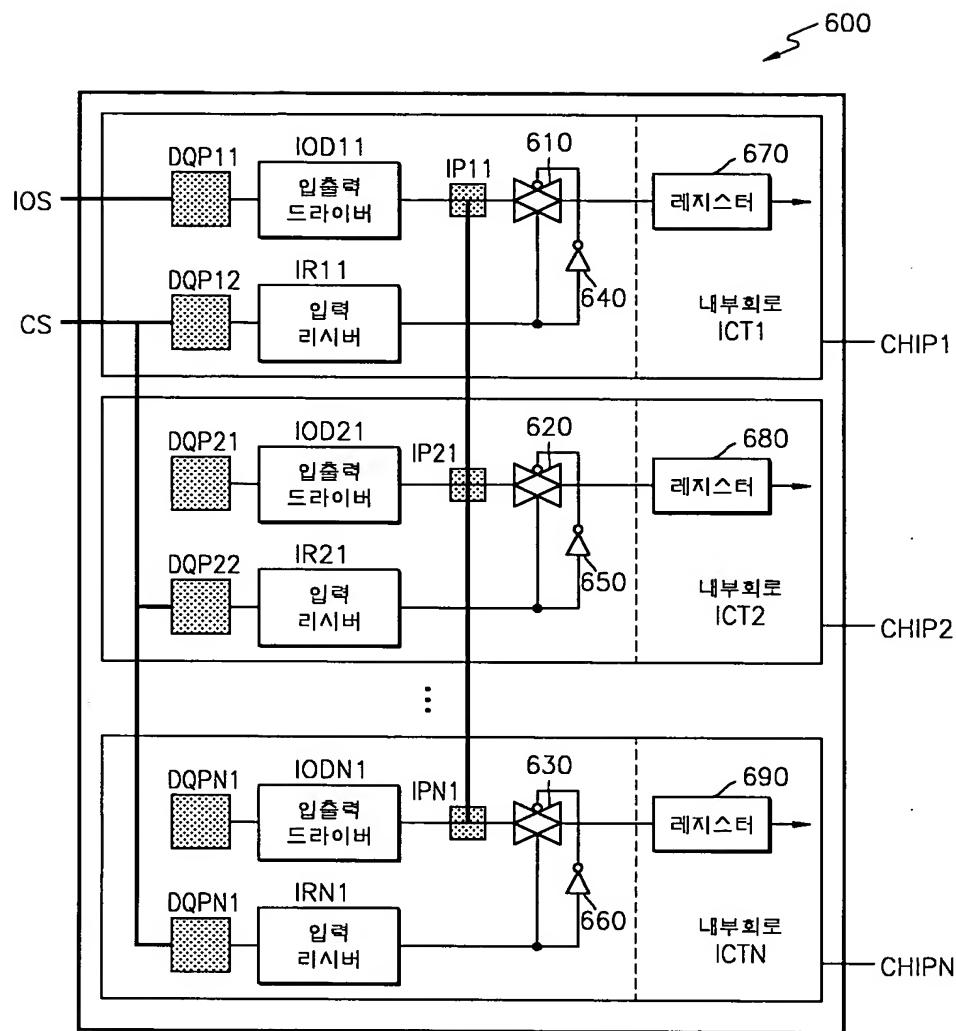
【도 4】



【도 5】



【도 6】

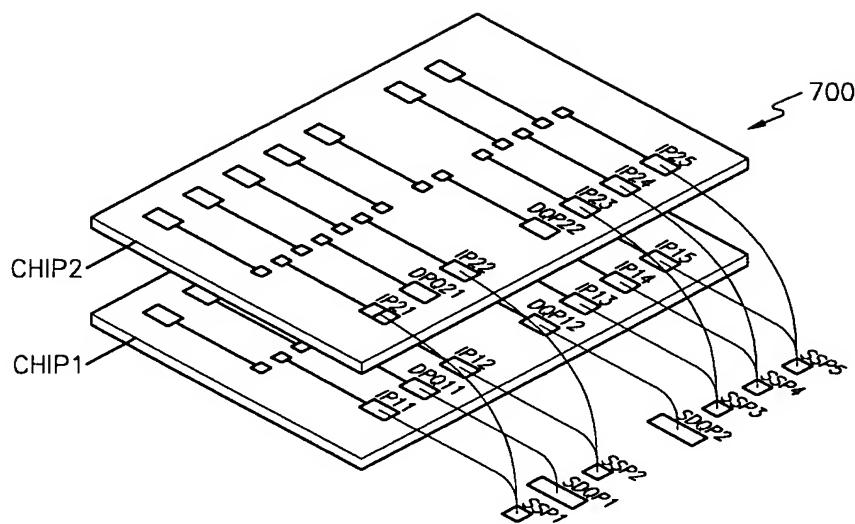




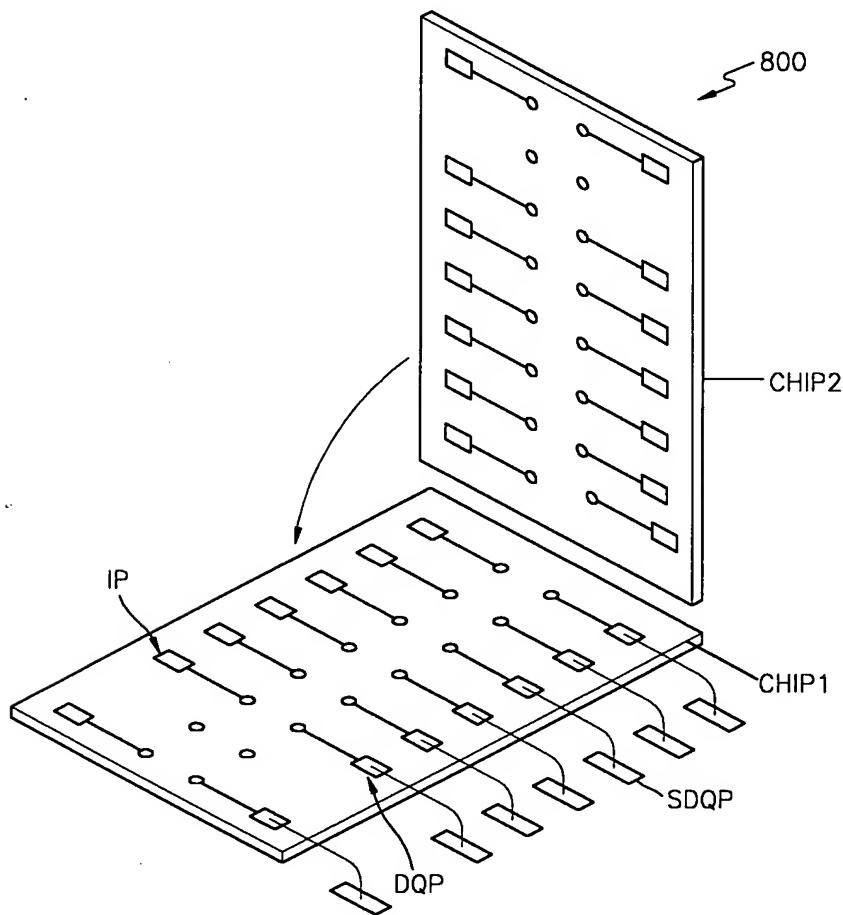
1020020075805

출력 일자: 2003/6/3

【도 7】



【도 8】

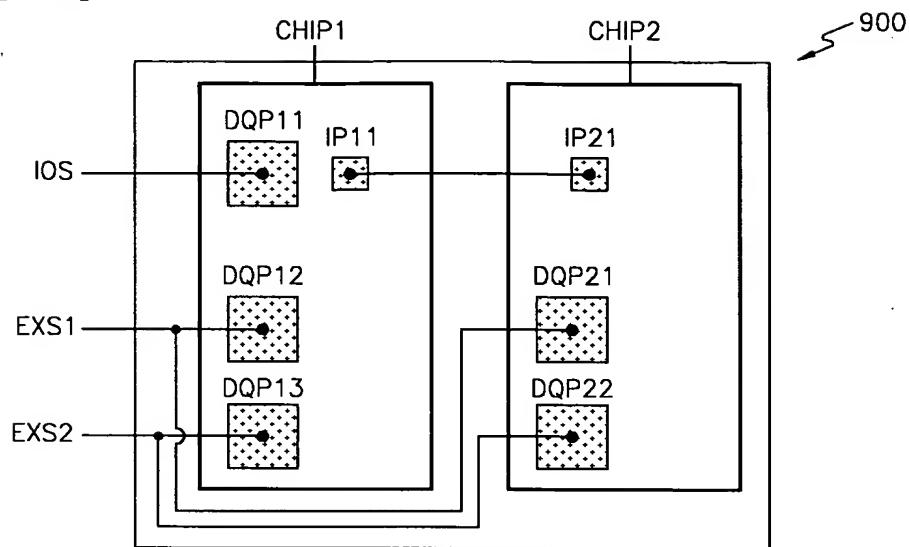




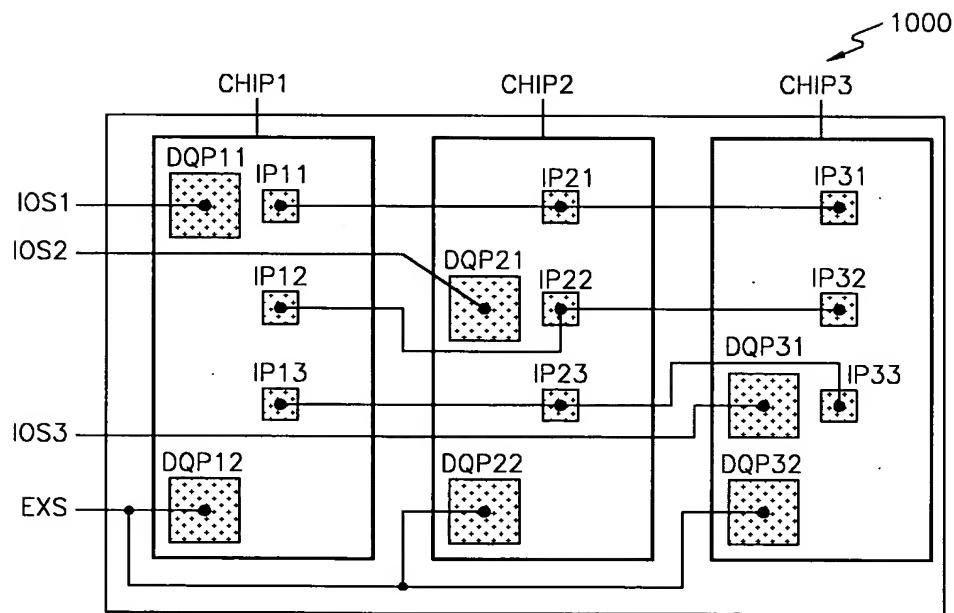
1020020075805

출력 일자: 2003/6/3

【도 9】



【도 10】





1020020075805

출력 일자: 2003/6/3

【도 11】

